

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-022504

(43)Date of publication of application : 24.01.1995

(51)Int.Cl.

H01L 21/76
H01L 21/316

(21)Application number : 05-163695

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 02.07.1993

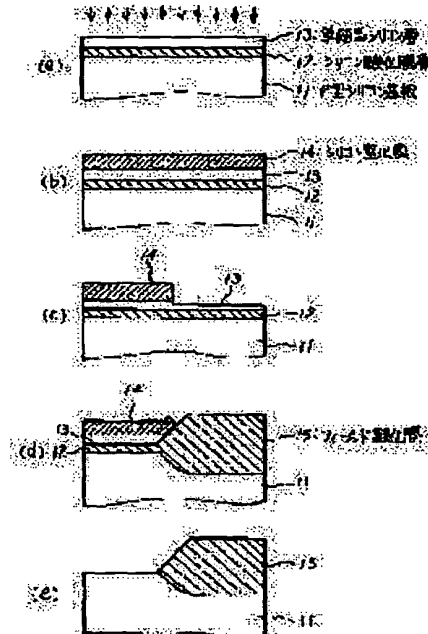
(72)Inventor : SUGAWARA FUMIO

(54) FORMING ELEMENT SEPARATION REGION OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To provide a forming method of an element separation region for a semiconductor element where it is possible to form a smooth oxide film on a bears peak section by using a single crystal silicon for the silicon to be inserted between a pad oxide film and a silicon nitride film.

CONSTITUTION: Performed are processes where oxygen ions are implanted into a P-type silicon substrate 11, an embedded silicon oxide film layer 12 is formed with the single crystal silicon layer 13 formed on the upper layer, a silicon nitride film 14 is formed, the silicon nitride film 14 is selectively removed with etching, high-temperature oxidation is performed to form a thick field oxide film 15, and the silicon nitride film 14, the single crystal silicon layer 13, and embedded silicon oxide film layer 12 are removed from the top sequentially.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-22504

(43) 公開日 平成7年(1995)1月24日

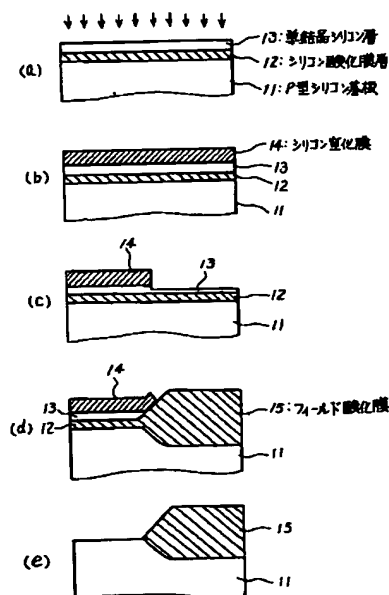
(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76 21/316		9169-4M 9169-4M 9274-4M	H 0 1 L 21/ 76 21/ 94 審査請求 未請求 請求項の数 6	M R A OL (全 5 頁)
(21) 出願番号	特願平5-163695		(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成5年(1993)7月2日		(72) 発明者	菅原 文雄 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
			(74) 代理人	弁理士 清水 守 (外1名)

(54) 【発明の名称】 半導体素子の素子分離領域の形成方法

(57) 【要約】

【目的】 パッド酸化膜とシリコン窒化膜の間に挟むシリコンに単結晶シリコンを用いるようにし、平滑な酸化膜をバースピーク部に形成し得る半導体素子の素子分離領域の形成方法を提供する。

【構成】 P型シリコン基板11に酸素イオンを注入し、上層に単結晶シリコン層13を形成したまま埋め込みシリコン酸化膜層12を形成する工程と、次いで、シリコン窒化膜14を形成する工程と、このシリコン窒化膜14を選択的にエッチング除去する工程と、高温で酸化を行ない厚いフィールド酸化膜15を形成する工程と、前記シリコン窒化膜14、単結晶シリコン層13及び埋め込みシリコン酸化膜層12を順次上層から除去する工程とを施す。



【特許請求の範囲】

【請求項1】(a) 半導体基板に酸素イオンを注入し、上層に単結晶シリコン層を形成したまま埋め込みシリコン酸化膜層を形成する工程と、(b) 次いで、シリコン窒化膜を形成する工程と、(c) 該シリコン窒化膜を選択的にエッチング除去する工程と、(d) 高温で酸化を行ない厚いシリコン酸化膜を形成する工程と、(e) 前記シリコン窒化膜、単結晶シリコン層及び埋め込みシリコン酸化膜層を順次上層から除去する工程とを施すことを特徴とする半導体素子の素子分離領域の形成方法。

【請求項2】(a) 半導体基板に酸素イオンを注入し、上層に単結晶シリコン層を形成したまま埋め込みシリコン酸化膜層を形成する工程と、(b) 前記単結晶シリコン層上にエピタキシャル成長により単結晶シリコン層を形成する工程と、(c) 次いで、シリコン窒化膜を形成する工程と、(d) 該シリコン窒化膜を選択的にエッチング除去する工程と、(e) 高温で酸化を行ない厚いシリコン酸化膜を形成する工程と、(f) 前記シリコン窒化膜、単結晶シリコン層及び埋め込みシリコン酸化膜層を順次上層から除去する工程とを施すことを特徴とする半導体素子の素子分離領域の形成方法。

【請求項3】 前記シリコン窒化膜を形成する工程は、前記単結晶シリコン層に窒素イオンを注入し、前記単結晶シリコン層の表面の部位をシリコン窒化膜に改質することを特徴とする請求項1又は2記載の半導体素子の素子分離領域の形成方法。

【請求項4】 前記酸素イオンを注入した後、高温不活性ガスでアニールを行なうことを特徴とする請求項1又は2記載の半導体素子の素子分離領域の形成方法。

【請求項5】(a) 半導体基板上にシリコン窒化膜を形成する工程と、(b) 次いで、酸素イオンを注入し、前記シリコン窒化膜の下層に上層に単結晶シリコン層を形成したまま埋め込みシリコン酸化膜層を形成する工程と、(c) 該シリコン窒化膜を選択的にエッチング除去する工程と、(d) 高温で酸化を行ない厚いシリコン酸化膜を形成する工程と、(e) 前記シリコン窒化膜、単結晶シリコン層及び埋め込みシリコン酸化膜層を順次上層から除去する工程とを施すことを特徴とする半導体素子の素子分離領域の形成方法。

【請求項6】 前記酸素イオンを注入した後、高温不活性ガスでアニールを行なうことを特徴とする請求項5記載の半導体素子の素子分離領域の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子の製造方法に係り、特にその素子分離領域の形成方法に関する。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば、Extended Abstract 84, 1, J. Electrochem Soc., P. 33

4~339, 1984「ISOLATION PROCESS USING POLYSILICON BUFFER LAYER FOR SCALED MOS/VLSI」に記載されるようなものがあった。

【0003】従来、半導体素子の素子分離領域の形成方法には、Locos法(Local Oxidation of Silicon)が広く用いられている。しかしながら、この方法ではバースピークと呼ばれる酸化膜が素子領域まで侵入し、素子の高密度化の妨げとなっている。これを改良する意味で、P. P. Locos法(Pad Poly silicon Locos)(上記文献では、Poly Silicon Buffered Locos)が提案されている。

【0004】この従来の素子分離領域の形成方法を図2を用いて説明する。

(1) まず、図2(a)に示すように、P型(100)シリコン基板1に熱酸化を行い、パッド酸化膜と呼ばれるシリコン酸化膜2を500Å成長させ、次に、多結晶シリコン膜3(1000Å)、シリコン窒化膜4(2000Å)をCVD法により形成する。

【0005】(2) 次いで、通常のホトリソグラフィ技術を用い、レジストパターンニングし(図示せず)、これをマスクに少なくともシリコン窒化膜4を選択的にエッチング除去し、レジストを除去し、図2(b)の構造を得る。ここで、必要に応じてレジストを除去する前に、あるいは別のレジストパターンニングを行ない、選択的に寄生トランジスタ(フィールドトランジスタ)の反転防止用のイオン注入を行なう(図示せず)。なお、P型基板の場合にはボロンを注入する。

【0006】(3) 次に、1000℃の高温酸化雰囲気中で酸化を行ない、7000Åの厚さのシリコン酸化膜5(フィールド酸化膜)を形成し、図2(c)に示すような、形状を得る。

(4) 最後に、シリコン窒化膜4、パッド多結晶シリコン膜3、パッドシリコン酸化膜2を除去して、図2

(d)に示すように、シリコン基体表面にシリコン酸化膜5で形成された素子分離領域と、それらに囲まれた素子領域が形成される。

【0007】

【発明が解決しようとする課題】しかしながら、上記した従来の素子分離領域の形成方法では、パッド多結晶シリコンは多結晶シリコンのグレインの集合体であり、フィールド酸化を行う際、シリコン窒化膜エッチング端近傍のシリコン窒化膜下の多結晶シリコンも一部酸化を受ける。

【0008】その場合、均一に酸化されるのではなく、多結晶シリコンのグレイン境界に酸化剤が拡散し、図3に示すように、多結晶シリコングレインの転写をうけたようにバースピーク部が凹凸になる。更に、通常のLocos法に比べ、バースピークが短いため、アクティブ

からフィールドの段差が厳しいことも相俟って、後に配線材料をエッチングすると、配線材料が残りショートを起こすこともある。

【0009】また、このパズピーク部の凹凸が、後に上側に形成される膜の立体形状（モロロジー）をも悪くなる。更に、素子領域と素子分離領域部の凹凸は、ゲート耐圧のバラツキや劣化の原因となる。本発明は、パッド多結晶シリコンL o c o s法において、フィールド酸化時に素子領域と素子分離領域の遷移領域に形成される、パズピーク部の酸化膜異常（凹凸）を除去するために、パッド酸化膜とシリコン窒化膜の間に挟むシリコンに単結晶シリコンを用いるようにし、平滑な酸化膜をパズピーク部に形成し得る半導体素子の素子分離領域の形成方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によれば、半導体素子の素子分離領域の形成方法において、半導体基板に酸素イオンを注入し、上層に単結晶シリコン層を形成したまま埋め込みシリコン酸化膜層を形成する工程と、次いで、シリコン窒化膜を形成する工程と、該シリコン窒化膜を選択的にエッチング除去する工程と、高温で酸化を行ない厚いシリコン酸化膜を形成する工程と、前記シリコン窒化膜、単結晶シリコン層及び埋め込みシリコン酸化膜層を順次上層から除去する工程とを施すようにしたものである。

【0011】また、半導体基板に酸素イオンを注入し、上層に単結晶シリコン層を形成したまま埋め込みシリコン酸化膜層を形成する工程と、前記単結晶シリコン層上にエピタキシャル成長により単結晶シリコン層を形成する工程と、次いで、シリコン窒化膜を形成する工程と、該シリコン窒化膜を選択的にエッチング除去する工程と、高温で酸化を行ない厚いシリコン酸化膜を形成する工程と、前記シリコン窒化膜、単結晶シリコン層及び埋め込みシリコン酸化膜層を順次上層から除去する工程とを施すようにしたものである。

【0012】更に、半導体基板上にシリコン窒化膜を形成する工程と、次いで、酸素イオンを注入し、前記シリコン窒化膜の下方に上層に単結晶シリコン層を形成したまま埋め込みシリコン酸化膜層を形成する工程と、該シリコン窒化膜を選択的にエッチング除去する工程と、高温で酸化を行ない厚いシリコン酸化膜を形成する工程と、前記シリコン窒化膜、単結晶シリコン層及び埋め込みシリコン酸化膜層を順次上層から除去する工程とを施すようにしたものである。

【0013】

【作用】本発明によれば、上記したように、シリコン基板内に酸素イオン注入法を用い酸化膜層を形成し、これをパッド酸化膜として利用し、この酸素イオン注入層より上部のシリコン基体の結晶性が維持されるのを利用して、この層を単結晶シリコン層として、この上層にシリ

コン窒化膜を形成し、これをフォトリソグラフィ技術を用いパターニングして選択酸化を行う。

【0014】したがって、フィールド酸化を行なう時、酸化剤が均一に単結晶シリコンの横、深さ方向へ拡散していくため、多結晶シリコンの時のように、グレインに沿って不均一に拡散することなく、スムーズな遷移領域（パズピーク部）をもつフィールド酸化膜を形成することができる。

【0015】

10 【実施例】以下、本発明の実施例について図を参照しながら詳細に説明する。図1は本発明の第1実施例を示す半導体素子の素子分離領域の形成工程断面図である。

（1）まず、図1（a）に示すように、P型（100）シリコン基板11に、酸素イオン $^{18}O^+$ を70Kevで、 8×10^{17} ions/cm²の条件で注入する。続いて、1050℃の高温窒素雰囲気中でアニールを行う。この処理を行うことにより、シリコン基板11内にシリコン基板より1500Åの深さのところを中心に上下方向に各々500Å伸びる1000Åの厚さの埋め込みシリコン酸化膜層12と、この上層に本来のシリコン

20 基板11の単結晶シリコン層13（1000Å）が形成される。

【0016】（2）次いで、図1（b）に示すように、CVD法により、シリコン単結晶層13上にシリコン窒化膜14を2000Å形成する。

（3）次に、通常のホトリソ技術を用い、図示しないレジストを用い、これをパターニングし、これをマスクにエッチング除去することにより、レジスト除去後、図1（c）に示すように、選択的にシリコン窒化膜14を除去する。その際表面側の単結晶シリコン層13も一部エッチングされる。

30 【0017】エッチングの際には、この単結晶シリコン層13の下のシリコン酸化膜層12の一部、あるいは全部をエッチングすることも可能であるが、できる限り単結晶シリコン層13を残す方がパズピーク抑制になる。また、必要に応じて寄生トランジスタの反転防止用のボロン（B）イオン注入を行う。これはプロセスによるもので、先のレジスト除去前、あるいは除去後に行ってもよいし、Nチャネル・Pチャネルを打ち分ける場合には、レジストパターニングが追加される。

40 【0018】（4）次いで、図1（d）に示すように、高温酸化雰囲気中（1000℃）で酸化を行い、フィールド酸化膜15を7000Å成長させる。

（5）次に、図1（e）に示すように、シリコン窒化膜14、単結晶シリコン層13、シリコン酸化膜層12をエッチング除去することにより、フィールド酸化膜15で形成された素子分離領域と、これに囲まれた素子領域が形成される。

50 【0019】図4は本発明の第2実施例を示す半導体素子の素子分離領域の形成工程の部分断面図である。

(1) まず、図4(a)に示すように、P型(100)シリコン基板21に酸素イオン $^{18}\text{O}^+$ を30Kevで、 $7 \times 10^{17} \text{ ions/cm}^2$ の条件で注入し、シリコン酸化膜層22と、その上に単結晶シリコン層23が形成される。

【0020】(2)次に、図4(b)に示すように、単結晶シリコン層23が形成されたその基板表面に700Åの単結晶シリコン層24をエピタキシャル成長させる。

(3)その後、図1に示した高温アニールを行なってもよいが、この実施例では、特に行う必要はない。アニールの目的は、ダメージ層(欠陥、アモルファスレイヤー)の回復と、シリコン酸化膜を化学量論的な SiO_2 膜に行うために行なっている。第2実施例は、単結晶シリコン層に完全に近い単結晶を形成でき、エピタキシャル成長中の高温で第1実施例のアニールの効果を兼ねている。

【0021】(4)次に、図4(c)に示すように、シリコン窒化膜25の形成を行う。

(5)以後の工程は、第1実施例の図1(c)の工程以降と同様であるので、ここでは省略する。図5は本発明の第3実施例を示す半導体素子の素子分離領域の形成工程の部分断面図である。

【0022】(1)まず、図5(a)に示すように、P型(100)シリコン基板31に酸素イオン $^{18}\text{O}^+$ を70Kevで、 $8 \times 10^{17} \text{ ions/cm}^2$ の条件で注入し、埋め込まれたシリコン酸化膜層32をシリコン基板31内に形成する。33は表面に形成される単結晶シリコン層である。

(2)次に、図5(b)に示すように、窒素イオン $^{14}\text{N}^+$ を20Kevで、 $1 \times 10^{18} \text{ ions/cm}^2$ の条件で、シリコン窒化膜34を600Å形成する。

【0023】このように、窒素イオン注入の場合は、注入後は略化学量論的なシリコン窒化(Si₃N₄)膜を形成することができるので、アニールは特に必要ではない。もちろん化学量論値を達成するのに必要な注入量は膜厚に次第である。したがって、酸素イオン注入後に高温アニールを行なっても良いし、窒素イオン注入後に行ってもかまわない。

【0024】(3)以後の工程は、第1実施例の図1(c)の工程以降と同様であるので、ここでは省略する。図6は本発明の第4実施例を示す半導体素子の素子分離領域の形成工程の部分断面図である。上記第1、第2及び第3の実施例では、酸素イオン注入を最初に行なっているが、この第4実施例では、シリコン窒化膜を形成した後に、このシリコン窒化膜上から下層のシリコン基板に酸素イオンを注入するようにしている。すなわち、

(1)まず、図6(a)に示すように、P型(100)シリコン基板41にシリコン窒化膜42を2000Å形

成する。

【0025】(2)次に、図6(b)に示すように、シリコン窒化膜42の上方から、酸素イオン $^{18}\text{O}^+$ を140Kevで、 $8 \times 10^{17} \text{ ions/cm}^2$ の条件で注入し、シリコン窒化膜42の下方に1000Åの単結晶シリコン層44と、1000Åの埋め込みシリコン酸化膜層43を形成する。

(3)以後の工程は、第1実施例の図1(c)の工程以降と同様であるので、ここでは省略する。

【0026】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0027】

【発明の効果】以上、詳細に説明したように、本発明によれば、酸素注入により、絶縁膜上に単結晶シリコンを形成するようにしたので、フィールド酸化を行なう時、酸化剤が均一に単結晶シリコンの横、深さ方向へ拡散していくため、多結晶シリコンの時のように、グレインに沿って不均一に拡散することなく、スムーズな遷移領域(バースピーク部)をもつフィールド酸化膜を形成することができる。

【0028】また、シリコンを用いる本来の目的である、変換差の少ない、つまり、バースピークの短い素子分離領域を形成することができる。したがって、ゲート耐圧やゲート膜の電気的信頼性を向上することもでき、更に、境界段差部で凹凸による上層の立体形状(モフォロジー)を改善し、配線間のショートも防ぐことができる。

【0029】また、単結晶シリコン層上にエピタキシャル成長により単結晶シリコン層を形成することにより、単結晶シリコン層の膜厚を容易に調整することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す半導体素子の素子分離領域の形成工程断面図である。

【図2】従来の半導体素子の素子分離領域の形成工程断面図である。

【図3】従来の半導体素子の素子分離領域の斜視図である。

【図4】本発明の第2の実施例を示す半導体素子の素子分離領域の形成工程断面図である。

【図5】本発明の第3の実施例を示す半導体素子の素子分離領域の形成工程断面図である。

【図6】本発明の第4の実施例を示す半導体素子の素子分離領域の形成工程断面図である。

【符号の説明】

11, 21, 31, 41 P型(100)シリコン基板

12, 22, 32, 43 シリコン酸化膜層

(5)

特開平7-22504

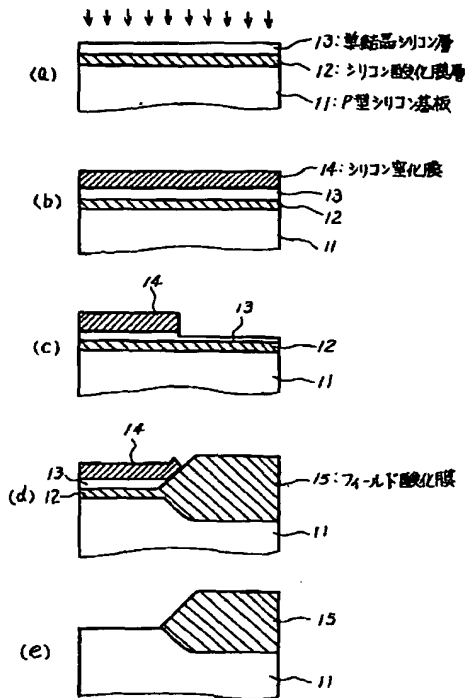
7

8

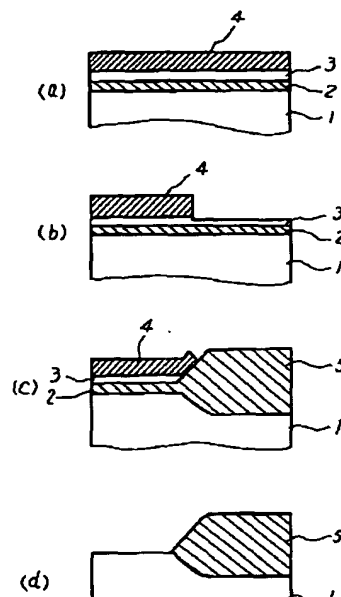
13, 23, 33, 44 単結晶シリコン層
14, 25, 34, 42 シリコン窒化膜

* 15 フィールド酸化膜
* 24 単結晶シリコン層 (エピタキシャル層)

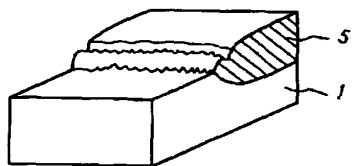
【図1】



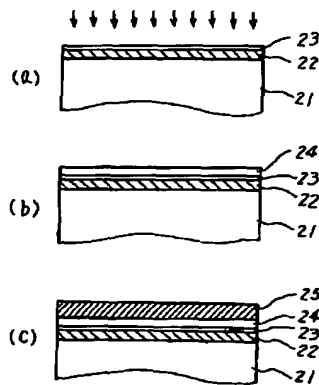
【図2】



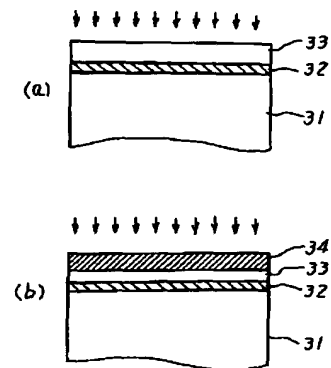
【図3】



【図4】



【図5】



【図6】

